

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-223705

(43) 公開日 平成9年(1997)8月26日

(51) Int. Cl.<sup>6</sup>

H01L 21/52

識別記号

庁内整理番号

F I

H01L 21/52

技術表示箇所

A

審査請求 未請求 請求項の数26 O L (全 12 頁)

(21) 出願番号 特願平8-27573

(22) 出願日 平成8年(1996)2月15日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 塚田 敏郎

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 福田 恵子

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 前田 敏

東京都小平市上水本町5丁目20番1号 株

式会社日立製作所半導体事業部内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 半導体装置

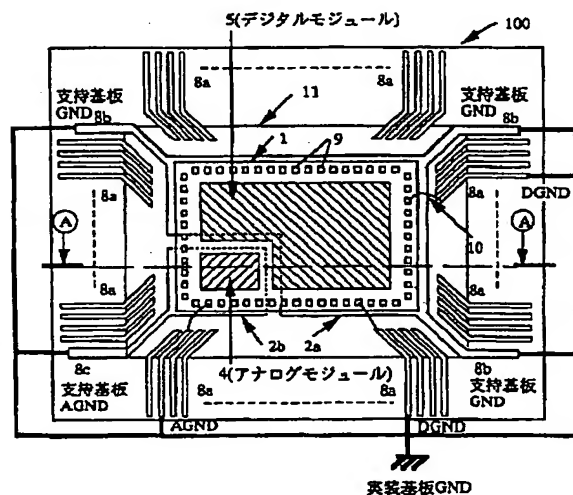
(57) 【要約】

【課題】 アナログ/デジタル混載型の半導体集積回路の電気的信頼性を向上させる。

【解決手段】 集積回路はチップ支持部2aとこのチップ支持部2a上に搭載された半導体基板(チップ)1とを具備し、半導体基板1の主面の第一の領域にはデジタル部5が形成され、第一の領域と異なる半導体基板の主面の第二の領域にはアナログ部4が形成され、チップ支持部2aと半導体基板1とは第二の領域の下部において電気的に接続され、第一の領域の下部においては電気的に接続されていない。

【効果】 アナログ部5とデジタル部4のそれぞれの下部2b、2aは金属製のチップ支持部を介して電気的に相互に接続されないため、デジタル部5で発生した雑音が導電体チップ支持部を介してアナログ部4に伝達する経路を遮断でき、アナログ部5への雑音の影響が低減できる。

図2



## 【特許請求の範囲】

【請求項 1】導電層からなる半導体基板支持部と、  
上記半導体基板支持部上に搭載された半導体基板とを具

備してなり、  
上記半導体基板の主面の第一領域にはデジタルモジュールが形成され、

上記第一領域と異なる上記半導体基板の主面の第二領域  
にはアナログモジュールが形成され、

上記半導体基板支持部と上記半導体基板とは上記第二領  
域の下部において電氣的に接続され、上記第一領域の下  
部において上記半導体基板支持部と上記半導体基板とは  
電氣的に接続されていないことを特徴とする半導体装  
置。

【請求項 2】上記半導体基板支持部に接地電位が供給さ  
れることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】上記第一領域の下部において、上記半導体  
基板支持部と上記半導体基板との間に、絶縁層が形成さ  
れていることを特徴とする請求項 1 あるいは請求項 2 に  
記載の半導体装置。

【請求項 4】上記第一領域の下部において、上記半導体  
基板支持部と上記半導体基板とは、互いに分離されてい  
ることを特徴とする請求項 1 あるいは請求項 2 に記載の  
半導体装置。

【請求項 5】上記半導体基板は単結晶シリコン基板から  
なり、上記導電層からなる半導体基板支持部のシート抵  
抗は上記単結晶シリコン基板のシート抵抗より低いこと  
を特徴とする請求項 1 あるいは請求項 2 に記載の半導体  
装置。

【請求項 6】上記半導体基板支持部と上記半導体基板と  
は導電性接着剤により接着されていることを特徴とする  
請求項 1 あるいは請求項 2 に記載の半導体装置。

【請求項 7】導電層からなる半導体基板支持部と、  
上記半導体基板支持部上に搭載された半導体基板とを具  
備してなり、

上記半導体基板の主面の第一領域にはデジタルモジュールが形成され、

上記第一領域と異なる上記半導体基板の主面の第二領域  
にはアナログモジュールが形成され、

上記第二領域の下部に半導体基板支持部を設け、上記半  
導体基板支持部と上記半導体基板とは第二領域の下部に  
おいて電氣的に接続され、上記第一領域の下部において  
上記半導体基板支持部と上記半導体基板とは電氣的に接  
続されていないことを特徴とする半導体装置。

【請求項 8】上記半導体基板支持部に接地電位が供給さ  
れることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】上記半導体基板は単結晶シリコン基板から  
なり、上記導電層からなる半導体基板支持部のシート抵  
抗は上記単結晶シリコン基板のシート抵抗より低いこと  
を特徴とする請求項 7 あるいは請求項 8 に記載の半導体  
装置。

【請求項 10】上記半導体基板支持部と上記半導体基板  
とは導電性接着剤により接着されていることを特徴とす  
る請求項 7 あるいは請求項 8 に記載の半導体装置。

【請求項 11】導電層からなる半導体基板支持部と、  
上記半導体基板支持部上に搭載された半導体基板とを具  
備してなり、

上記半導体基板の主面の第一領域にはデジタルモジュールが形成され、

上記第一領域と異なる上記半導体基板の主面の第二領域  
にはアナログモジュールが形成され、

上記第一および第二領域の下部に第一および第二の半導体  
基板支持部をそれぞれ設けることにより上記第一および  
第二の半導体基板支持部と上記半導体基板の第一および  
第二領域の下部とをそれぞれ電氣的に接続せしめ、上記  
第一および第二の半導体基板支持部は互いに分離されて  
いることを特徴とする半導体装置。

【請求項 12】上記半導体基板支持部に接地電位が供給  
されることを特徴とする請求項 11 に記載の半導体装  
置。

【請求項 13】導電層からなる半導体基板支持部と、  
上記半導体基板支持部上に搭載された半導体基板とを具  
備してなり、

上記半導体基板の主面の第一領域には入出力部モジュールが形成され、

上記第一領域と異なる上記半導体基板の主面の第二領域  
にはアナログモジュールまたはデジタルモジュールが形  
成され、

上記半導体基板支持部と上記半導体基板とは上記第一領  
域の下部において電氣的に接続され、上記第二領域の下  
部において上記半導体基板支持部と上記半導体基板とは  
電氣的に接続されていないことを特徴とする半導体装  
置。

【請求項 14】上記半導体基板は単結晶シリコン基板から  
なり、上記導電層からなる上記第一および第二の半導  
体基板支持部のシート抵抗は上記単結晶シリコン基板の  
シート抵抗より低いことを特徴とする請求項 13 に記載  
の半導体装置。

【請求項 15】上記第一および第二の半導体基板支持部  
と上記半導体基板とは導電性接着剤により接着されてい  
ることを特徴とする請求項 13 に記載の半導体装置。

【請求項 16】導電層からなる半導体基板支持部と、  
上記半導体基板支持部上に搭載された半導体基板とを具  
備してなり、

上記半導体基板の主面の第一領域には入出力部モジュールが形成され、

上記第一領域と異なる上記半導体基板の主面の第二領域  
にはアナログモジュールまたはデジタルモジュールが形  
成され、

上記第一領域の下部に半導体基板支持部を設け、上記半  
導体基板支持部と上記半導体基板とは第一領域の下部に

において電氣的に接続され、上記第二領域の下部において上記半導体基板支持部と上記半導体基板とは電氣的に接続されていないことを特徴とする半導体装置。

【請求項17】上記半導体基板は単結晶シリコン基板からなり、上記導電層からなる上記第一および第二の半導体基板支持部のシート抵抗は上記単結晶シリコン基板のシート抵抗より低いことを特徴とする請求項16に記載の半導体装置。

【請求項18】上記半導体基板支持部と上記半導体基板とは導電性接着剤により接着されていることを特徴とする請求項16に記載の半導体装置。

【請求項19】導電層からなる半導体基板支持部と、上記半導体基板支持部上に搭載された半導体基板とを具備してなり、上記半導体基板の主面の第一領域には入出力部モジュールが形成され、上記第一領域と異なる上記半導体基板の主面の第二領域にはアナログモジュールまたはデジタルモジュールが形成され、

上記第一および第二領域の下部に第一および第二の半導体基板支持部をそれぞれ設けることにより上記第一および第二の半導体基板支持部と上記半導体基板の第一および第二領域の下部とをそれぞれ電氣的に接続せしめ、上記第一および第二の半導体基板支持部は互いに分離されていることを特徴とする半導体装置。

【請求項20】導電層からなる半導体基板支持部と、上記半導体基板支持部上に搭載された半導体基板とを具備してなり、

上記半導体基板の主面の第一領域にはデジタルモジュールが形成され、上記第一領域と異なる上記半導体基板の主面の第二領域にはメモリモジュールが形成され、

上記半導体基板支持部と上記半導体基板とは上記第二領域の下部において電氣的に接続され、上記第一領域の下部において上記半導体基板支持部と上記半導体基板とは電氣的に接続されていないことを有することを特徴とする半導体装置。

【請求項21】上記半導体基板は単結晶シリコン基板からなり、上記導電層からなる半導体基板支持部のシート抵抗は上記単結晶シリコン基板のシート抵抗より低いことを特徴とする請求項20に記載の半導体装置。

【請求項22】上記半導体基板支持部と上記半導体基板とは導電性接着剤により接着されていることを特徴とする請求項20に記載の半導体装置。

【請求項23】導電層からなる半導体基板支持部と、上記半導体基板支持部上に搭載された半導体基板とを具備してなり、上記半導体基板の主面の第一領域にはデジタルモジュールが形成され、

上記第一領域と異なる上記半導体基板の主面の第二領域

にはメモリモジュールが形成され、

上記第二領域の下部に半導体基板支持部を設け、上記半導体基板支持部と上記半導体基板とは第二領域の下部において電氣的に接続され、上記第一領域の下部において上記半導体基板支持部と上記半導体基板とは電氣的に接続されていないことを特徴とする半導体装置。

【請求項24】上記半導体基板は単結晶シリコン基板からなり、上記導電層からなる半導体基板支持部のシート抵抗は上記単結晶シリコン基板のシート抵抗より低いことを特徴とする請求項23に記載の半導体装置。

【請求項25】上記半導体基板支持部と上記半導体基板とは導電性接着剤により接着されていることを特徴とする請求項23に記載の半導体装置。

【請求項26】導電層からなる半導体基板支持部と、上記半導体基板支持部上に搭載された半導体基板とを具備してなり、

上記半導体基板の主面の第一領域にはデジタルモジュールが形成され、

上記第一領域と異なる上記半導体基板の主面の第二領域にはメモリモジュールが形成され、

上記第一および第二領域の下部に第一および第二の半導体基板支持部をそれぞれ設けることにより上記第一および第二の半導体基板支持部と上記半導体基板の第一および第二領域の下部とをそれぞれ電氣的に接続せしめ、上記第一および第二の半導体基板支持部は互いに分離されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関する。例えば、アナログモジュール（アナログ回路）とデジタルモジュール（デジタル回路）を同一半導体チップ上に集積して成るアナログ／デジタル混載型の如き多機能混載型半導体集積回路装置に適用して有効な技術に関する。

【0002】

【従来の技術】近年、移動体無線やビデオカメラの小型化が要求されており、それに内蔵される電子部品としての半導体装置の小型化の要求が大きくなっている。それに伴い、アナログーデジタル変換器（Analog to Digital Converter:以下、ADCという）やアンプ等のアナログモジュールと、マイコンやメモリ等のデジタルモジュールが同一半導体チップ上に搭載されたアナログ／デジタル混載型半導体集積回路の需要が拡大してきている。さらに、最近では上記アナログ／デジタル混載型半導体集積回路のアナログモジュールの高精度化が要求されている。そのため、上記アナログ／デジタル混載型半導体集積回路装置の内部において、デジタルモジュールで発生する雑音（例えば、デジタルクロックの立上り、あるいは、立ち下がり時に発生する過渡電流による雑音）に起因するアナログモジュールの性能劣化が大きな問題とな

10

20

30

40

50

り、その解決が必要とされている。上記アナログ／デジタル混載型半導体集積回路装置に関しては、例えば、特開昭58-70565号、特開昭59-193046号、特開平2-271567号に記載されている。上記特開昭58-70565号と特開昭59-193046号には、デジタル回路部で発生した雑音のアナログ回路部に混入して、アナログ回路が誤動作することを防止するために、デジタル回路とアナログ回路の電源配線を独立して設ける旨が記載されている。また、上記特開平2-271567号には、SOI (Silicon On Insulator) 構造の基板及び上記SOI構造の基板の絶縁層に達する分離溝を用いて、デジタル回路部とアナログ回路部を絶縁分離する技術が記載されている。

#### 【0003】

【発明が解決しようとする課題】本発明が上記アナログ／デジタル混載型半導体集積回路の電気的信頼性を検討した結果を以下に述べる。上記従来技術のアナログ／デジタル混載型半導体集積回路においては、半導体チップ表面に形成された電源配線、接地(GND)配線は、アナログ回路とデジタル回路で各々独立して形成されており、電源配線、接地(GND)配線から直接雑音が相互に影響することは少ない。また、プリント配線基板等の実装基板上に封止体(LSIパッケージ)が実装された状態では、アナログ回路とデジタル回路の各接地(GND)配線は、封止体(LSIパッケージ)外部において上記実装基板上で共通の接地(GND)配線に接続されるが、実装基板状の共通の接地(GND)配線は、半導体チップ上に形成された接地(GND)配線よりも非常に低インピーダンスであるので雑音の影響は小さい。しかしながら、上記従来技術では、半導体チップ内部を伝わる雑音、さらには、半導体チップを搭載する金属製のリードフレームを伝わる雑音、さらには、半導体チップを搭載する金属性のリードフレームを伝わる雑音に関しては考慮されていなく、雑音の低減、防止には不十分である。

【0004】図1に示すように、通常、半導体チップ1は、金属製のリードフレーム上に搭載され、銀ペースト等の導電性材料3によって、リードフレームのチップ支持部(ダイパッド)2に接続される。尚、リードフレームのリード部、樹脂等の封止材料は説明の便宜上省略する。アナログモジュール4とデジタルモジュール5を半導体チップ1上に混載した場合、半導体チップ1が搭載されたチップ支持部(ダイパッド)2は、全面が非常に低い抵抗の導電体であるため、デジタルモジュール5で発生した雑音は、チップ支持部(ダイパッド)2を介する経路でアナログモジュール4へ容易に伝達され、アナログモジュール4の性能劣化、誤動作を引き起こすという問題が本発明者の検討により明らかになった。すなわち、図1に示す寸法のシリコンからなる半導体チップ(シリコン基板)1を考えた場合、シリコン基板1の各

抵抗Rを試算すると、シリコン基板1の縦方向の抵抗は、デジタルモジュール5の下部で約5Ω、アナログモジュール4の下部で約10Ωであり、一方、シリコン基板1の横方向の抵抗は、デジタルモジュール部5で約100Ω、アナログモジュール4とデジタルモジュール5の間で約50Ωである。以上の試算値をもとに、デジタルモジュール5で発生した雑音がシリコン基板1を介してアナログモジュール4へ伝搬する経路を考慮すると、シリコン基板内部を横方向に伝わる経路6の抵抗は約165Ωである。これに対して、デジタルモジュール5で発生した雑音が縦方向へ伝わり、一旦チップ支持部(ダイパッド)2に到達してから、このチップ支持部(ダイパッド)2を伝搬し、アナログモジュール4の下部より再びシリコン基板1中に進入して縦方向にアナログモジュールに伝わる経路7の全抵抗は、金属製のチップ支持部(ダイパッド)2の抵抗がシリコン基板1の抵抗に比べて十分に小さいので、約15Ωとなる。これは、経路6の抵抗の1/10以下である。従って図1の半導体チップにおいては、デジタルモジュールで発生した雑音は、シリコン基板の内部を伝わるよりも、金属製のチップ支持部(ダイパッド)2を伝わるものが大部分を占める。金属製のチップ支持部(ダイパッド)2が半導体チップの下部全面にある封止体(LSIパッケージ)構造では、デジタルモジュールで発生した雑音がアナログモジュールに影響を及ぼすことを十分に防止することはできない。さらに、金属製のチップ支持部(ダイパッド)が封止体(LSIパッケージ)内において、電気的にフローティング状態で封止されている場合には、デジタルモジュールからチップ支持部(ダイパッド)に伝わった雑音は、シリコン基板の表面に戻っていく確率が高く、アナログ／デジタル混載型半導体集積回路の電気的信頼性がさらに低下するという問題がある。また、エピタキシャル層を用いた半導体チップにおいては、図1のシリコン基板1に相当する、エピタキシャル層の厚さが薄い。ため、横方向に対して縦方向の抵抗は更に小さくなる。また、通常エピタキシャル層の底面は低抵抗の不純物半導体に接しており、これが図1のシリコン基板1の金属製のチップ支持部(ダイパッド)2の役割を果たしている。この構造の半導体チップでは、デジタルモジュールで発生した雑音は更にアナログモジュールに伝搬されやすく、アナログ／デジタル混載型半導体集積回路装置の信頼性が低下するという問題がある。SOI構造基板は絶縁膜での分離するために、低周波信号の結合防止には有効である。しかし、デジタルモジュールの発生する比較的高周波の雑音に対しては薄い絶縁膜では容量結合により雑音を十分に遮断できないという問題がある。例えば、半導体ウェーハプロセスで用いられるシリコン酸化膜の厚さを1μmとして、絶縁膜のインピーダンス $Z$ ( $=1/2\pi fC$ )を試算すると、雑音の周波数が100MHzの場合、絶縁膜のインピーダンスは10Ω以下

となり、高周波的には十分な絶縁ができない。また、SOI構造基板は絶縁膜形成のために特殊なプロセスを必要とする等、経済的に不利である。さらに、SOI構造基板は、その構造上、基板の裏面側から、接地電位(GND)を供給することができないので、雑音の吸収効率の点で不利であり、また精度的に厳しいアナログモジュールの基板電位の安定化においても不利である。このため、SOI構造基板を用いた場合にはアナログ/デジタル混載型半導体集積回路装置の電気的信頼性が低下するという問題がある。

【0005】

【課題を解決するための手段】アナログ/デジタル混載型半導体集積回路装置の電気的信頼性を向上させるため、本発明においては以下のうちいずれかの手段を採用することができる。まず、アナログ/デジタル混載型半導体集積回路を含む半導体装置はチップ支持部(ダイパッド)とチップ支持部上に搭載された半導体基板(半導体チップ)とを具備してなり、半導体基板の主面の第一の領域にはデジタルモジュールが形成され、第一の領域と異なる上記半導体基板の主面の第二の領域にはアナログモジュールが形成され、上記チップ支持部と上記半導体基板とは上記第二の領域の下部において電気的に接続され、上記第一の領域の下部において上記チップ支持部と上記半導体基板とは電気的に接続されていない。このために、例えば上記第一の領域の下部において、上記チップ支持部と上記半導体基板との間に、絶縁層が形成される。また、アナログ/デジタル混載型半導体集積回路を含む半導体装置はチップ支持部(ダイパッド)とチップ支持部上に搭載された半導体基板(半導体チップ)とを具備してなり、半導体基板の主面の第一の領域にはデジタルモジュールが形成され、第一の領域と異なる上記半導体基板の主面の第二の領域にはアナログモジュールが形成され、上記第二の領域の下部に上記チップ支持部を設け、上記チップ支持部と上記半導体基板とは上記第二の領域の下部において電気的に接続され、上記第一の領域の下部に上記チップ支持部は設けられず、上記チップ支持部と上記半導体基板とは上記第一の領域の下部においては電気的に接続されていないものである。さらに、アナログ/デジタル混載型半導体集積回路を含む半導体装置はチップ支持部(ダイパッド)とチップ支持部上に搭載された半導体基板(半導体チップ)とを具備してなり、半導体基板の主面の第一の領域にはデジタルモジュールが形成され、第一の領域と異なる上記半導体基板の主面の第二の領域にはアナログモジュールが形成され、上記半導体基板の第一、第二の領域の下部には独立した第一、第二のチップ支持部を形成し、それぞれ第一、第二の領域の下部に電気的に接続する。上記第一、第二のチップ支持部自身は互いに電気的に絶縁される。

【0006】上述した手段のうちいずれによっても、半導体基板のアナログモジュールとデジタルモジュールの

それぞれの下部は金属製のチップ支持部を介して電気的に相互に接続されることがないため、デジタルモジュールで発生した雑音が導電体であるチップ支持部を介して、アナログモジュールに伝達する経路を遮断できる。従って、アナログモジュールへの雑音の影響が低減できる。また、アナログモジュールの下部をチップ支持部を介して単独に接地(GND)ができるため、アナログモジュールの基板電位の安定化が図れる。これにより、アナログ/デジタル混載型半導体集積回路装置を含む半導体装置の電気的信頼性を向上できる。また、本発明は、半導体基板とアナログモジュール下部のチップ支持部との間に所望の厚さの絶縁層を形成すること、または、チップ支持部の一部を削除する、あるいは所望の形に打ち抜くなどの簡単なプロセスによって実現できるので、アナログ/デジタル混載型半導体集積回路装置を含む半導体装置の電気的信頼性を向上するとともに、低コスト化を図ることが可能である。

【0007】

【発明の実施の形態】以下、本発明の構成について、アナログ/デジタル混載型半導体集積回路装置を含む半導体装置に本発明を適用した実施例により、具体的に説明する。尚、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0008】本発明の第1実施例である半導体装置を図2、図3、図4に示す。図4は、図2、図3の破線A-Aにおける断面図である。半導体装置100は、QFP(Quad Flat Package)であり、金属リードフレーム2a、2b、8a、8b、8cを用いた樹脂封止型パッケージである。同図2、4に示すように、アナログモジュール4とデジタルモジュール5が同一半導体チップ(半導体基板)1上に混載されており、この半導体チップ1は金属リードフレームの基板支持部(ダイパッドまたはタブ)2a、2bの上面に搭載されている。半導体チップ1と基板支持部(ダイパッドまたはタブ)2a、2bは銀ペースト等の導電性接着剤3により固定されている。上記半導体チップ1には、例えば、単結晶シリコン基板が用いられ、上記金属リードフレームには、鉄-ニッケル合金(42アロイ)が用いられる。また、半導体チップ1周囲上には、電源供給または外部装置と電気信号の入出力を行なうための複数の外部端子(ボンディングパッド)9が形成され、この外部端子9と金属リードフレームのリード部8aが金(Au)等の複数の金属ワイヤ10により電気的に接続されている。上記金属リードフレーム上に半導体チップ1が搭載された構造体は、エポキシ系樹脂11によって封止されている。なお、図2においては図面を判り易くするため、リード8aの一部は、点線により省略し、エポキシ系樹脂11は、その外形線のみを示す。また、半導体装置100は、図3のようにQFN(Quad Flat Nonlead Package、または、

Leadless Chip Carrier)であり、メタライズ層2 a、2 b、8 a、8 b、8 cを用いた積層セラミック型パッケージでもよい。上記リード部8 aの内、アナログモジュール4に半導体チップ1の表面側から接地電位を供給するためのリードは、AGNDで示され、デジタルモジュール5に半導体チップ1の表面側から接地電位を供給するためのリードは、DGNDで示されている。さらに、基板支持部2 a、2 bの角部において一体形成されたリード部8 b、8 cは、半導体チップ1の裏面から接地電位を供給するためのリードであり、支持基板GND、支持基板AGNDで示されている。上記AGND、DGND、支持基板AGND、支持基板GNDは、半導体装置100の外部の図示しない実装基板の共通接地配線(実装基板GND)に接続される。この共通接地配線は、半導体チップ1上に通常のフォトリソグラフィおよびエッチング技術によって形成される接地配線よりも十分に広い面積で形成された低インピーダンスの配線であるので、上記AGND、DGNDに共通に接続されている場合にも、デジタルモジュール5において発生する雑音のアナログモジュール4への影響は小さい。本発明の第1実施例において特徴的なことは、アナログモジュール4の下部に位置する基板支持部2 bをデジタルモジュールの下部に位置する基板支持部2 aから分離し、電氣的に絶縁状態としたことにある。あるいは、独立した基板支持部2 a、基板支持部2 bからなる形状の金属リードフレームを用いて、アナログモジュール4の下部を基板支持部2 bに、デジタルモジュールの下部を基板支持部2 aに電氣的にそれぞれ接続したことにある。上記本発明の第1実施例の構成によれば、アナログモジュール4の下部の基板支持部2 bとデジタルモジュールの下部の基板支持部2 aが別々であるため、図1に示した金属リードフレームを介してデジタルモジュールからアナログモジュールに雑音が進入する経路7を遮断することができる。即ち、デジタルモジュールから発生する雑音は金属リードフレームを介する経路において、アナログモジュールへの伝達が遮断され、アナログモジュールはこの雑音の影響を受けない。さらに、アナログモジュール4の下部を電氣的に接続した、金属リードフレームの基板支持部2 bをリード部8 cによって、低インピーダンスの実装基板の共通接地配線(実装基板GND)に接続することにより、半導体チップ1のアナログモジュール4の領域の基板電位の安定化が図れる。さらに、デジタルモジュール5から発生する雑音は、基板支持部2 aおよびリード8 bを介して半導体装置100の外部の実装基板の共通接地配線に逃がすことが可能となる。従って、アナログ/デジタル混載型半導体集積回路装置を含む半導体装置の電氣的特性を向上することができる。さらに、本発明の構成は、金属リードフレームの形状を一部変えることによって達成できるので、低コスト化に有利である。次に、上述した半導体チップ1の具体的な構成につ

いて、図5を用いて説明する。同図に示すように、単結晶シリコンからなる半導体チップ1の主面上に、アナログモジュール4とデジタルモジュール5がそれぞれ異なる領域に形成されている。アナログモジュール4は、アナログ/デジタル変換器(Analog to Digital Converter)ADCを含む。上記アナログ/デジタル変換器ADCは、クロックタイミングでデータをサンプリングする。また、仕様により、アナログモジュールは、アンプ、デジタル/アナログ変換器(Digital to Analog Converter)、スイッチドキャパシタ等が搭載されることもある。一方、デジタルモジュール5は、リード・オンリ・メモリ(Read Only Memory)ROM、ランダム・アクセス・メモリ(Random Access Memory)RAM、セントラル・プロセッシング・ユニット(Central Processing Unit)CPU、タイマおよびシリアル・コミュニケーション・インタフェース等が搭載されたCPU周辺モジュール、ゲートアレイで構成される論理回路を含む。つまり、半導体チップ1は、ASIC(特定用途向けIC)で構成される。またアナログモジュール4用の電源配線12、接地配線13は、デジタルモジュール5用の電源配線14、接地配線15と、それぞれ独立して形成されている。この構成によって、電源配線AVCC/DVCC間および接地配線間AGND/DGND間の電位変動に基づくアナログモジュール/デジタルモジュール間の相互干渉を低減している。上記電源配線12、14には、例えば、3.3Vが供給され、上記接地配線13、15には、例えば、0Vが供給される。さらに、半導体チップ1の表面領域におけるアナログモジュール4へのクロストークを低減する目的で、電源配線12、接地配線13はアナログモジュール/デジタルモジュール間の領域16にレイアウトしてもよい。

【0009】次に、本発明の第2実施例である半導体装置を図6、図7、図8および図5を用いて説明する。なお、図7、図8は図6の破線B-Bにおける断面図である。本発明の第2実施例の半導体装置200については上述した半導体装置100と異なる部分のみを説明する。同図に示すように、金属リードフレームの基板支持部2については、デジタルモジュールの下部は、図6および図7のように除去されて目空きパターン24となって半導体チップ1が搭載されているか、または図6および図8のように全面的に存在するが、目空きパターン24と同じ形状の絶縁フィルム22を介して半導体チップ1が搭載されている。この絶縁フィルム22には、例えば、厚さが0.1mm以上のプラスチックフィルムが用いられる。第2実施例の半導体装置200には、図5を用いて説明した第1の実施例の半導体装置100の場合と同じ具体的な構成の半導体チップ1が搭載される。上記本発明の第2実施例の構成によれば、デジタルモジュールの下部において、半導体チップ1と基板支持部2とが電氣的に接続されていないので、図1に示した金属リ

ードフレームを介してデジタルモジュールからアナログモジュールに雑音が進路7を遮断することができる。即ち、デジタルモジュールから発生する雑音は金属リードフレームを介する経路において、アナログモジュールへの伝達遮断され、アナログモジュールはこの雑音の影響を受けない。また、アナログモジュール4の下部を電気的に接続した、金属リードフレームの基板支持部2bをリード部8bによって、低インピーダンスの実装基板の共通接地配線（実装基板GND）に接続することにより、半導体チップ1のアナログモジュール4の領域の基板電位の安定化が図れる。従って、アナログ/デジタル混載型半導体集積回路装置を含む半導体装置の電気的特性を向上することができる。さらに、本発明の構成は、金属リードフレームの形状を一部変えることによって達成でき、または絶縁フィルムを貼り付ける、絶縁物を付着するという簡単な作業によって達成出来るので、低コスト化に有利である。

【0010】次に、本発明の第3実施例である半導体装置を図9、図10を用いて説明する。半導体装置300は、QFN(Quad Flat Nonleaded Package、または、Leadless Chip Carrier)であり、メタライズ層2a、2b、8a、8b、8cを用いた積層セラミック型パッケージである。同図に示すようにアナログモジュール4とデジタルモジュール5が同一半導体チップ（半導体基板）1上に混載されており、この半導体チップ1はメタライズ層2a、2bの基板支持部（ダイパッドまたはタブ）の上面に搭載されている。半導体チップ1と基板支持部（ダイパッドまたはタブ）2a、2bは銀ペースト等の導電性接着剤3により固定されている。基板支持部は4分割されており、2つのアナログモジュール4の下部は、それぞれ基板支持部2bに搭載され、デジタルモジュール5の下部は基板支持部2aに搭載されている。次に、上述した半導体チップ1の具体的な構成は、図10に示すように、単結晶シリコンからなる半導体チップ1の主面上に、アナログモジュール4とデジタルモジュール5がそれぞれ異なる領域に形成されている。アナログモジュール4は、アナログ/デジタル変換器(Analog to Digital Converter)ADCとデジタル/アナログ変換器(Digital to Analog Converter)DACからなる。デジタルモジュール5は、リード・オンリ・メモリ(Read Only Memory)ROM、ランダム・アクセス・メモリ(Random Access Memory)RAM、セントラル・プロセッシング・ユニット(Central Processing Unit)CPU、CPU周辺モジュール、ゲートアレイで構成される論理回路を含む。またアナログモジュール4用の電源配線12、接地配線13は、デジタルモジュール5用の電源配線14、接地配線15と、それぞれ独立して形成されている。この構成によって、電源配線AVCC/DVCC間および接地配線間AGND/DGND間の電位変動に基づくアナログモジュール/デジタルモジュール間の相

互干渉を低減している。上記本発明の第3実施例の構成によれば、半導体チップ1のデジタルモジュールの下部の基板支持部2aとアナログモジュールの下部の基板支持部2bが電気的に接続されていないので、図1に示した金属リードフレームを介してデジタルモジュールからアナログモジュールに雑音が進路7を遮断することができる。即ち、デジタルモジュールから発生する雑音は金属リードフレームを介する経路において、アナログモジュールへの伝達遮断され、アナログモジュールはこの雑音の影響を受けない。また、アナログモジュールであるADCとDACの下部の基板支持部2bはそれぞれ独立に形成され、電気的に接続されていないので、各基板支持部2bをリード部8cによって、低インピーダンスの実装基板の共通接地配線（実装基板GND）に接続することにより、アナログモジュールのADCとDACに対して、各領域の基板電位の安定化が独立に図ることもできる。従って、アナログ/デジタル混載型半導体集積回路装置を含む半導体装置の電気的特性を向上することができる。さらに、本発明の構成は、メタライズ層のパターンを一部変えることによって達成できるので、低コスト化に有利である。

【0011】次に、本発明の第4実施例である半導体装置を図11、図12を用いて説明する。半導体装置400は、QFN(Quad Flat Nonleaded Package、または、Leadless Chip Carrier)であり、メタライズ層2a、2d、2e、8a、8b、8dを用いた積層セラミック型パッケージである。同図に示すように、半導体チップ1を搭載する基板支持部（ダイパッドまたはタブ）は、メタライズ層2a、2d、2eから形成され、5つの独立した基板支持部から構成される。半導体装置400の半導体チップ1の具体的な構成は、図12に示すように、単結晶シリコンからなる半導体チップ1の主面上に、アナログモジュール4、デジタルモジュール5、入出力部モジュール5a(I/Oモジュール)がそれぞれ異なる領域に形成されている。アナログモジュール4は、アナログ/デジタル変換器(Analog to Digital Converter)ADC、およびデジタル/アナログ変換器(Digital to Analog Converter)DACから構成され、デジタルモジュール5は、リード・オンリ・メモリ(Read Only Memory)ROM、ランダム・アクセス・メモリ(Random Access Memory)RAM、セントラル・プロセッシング・ユニット(Central Processing Unit)CPU、および周辺モジュール、や論理回路等を含む。また、I/Oモジュール5aは半導体チップ1と外部回路との間で信号を入出力する部分であり、外部回路の大きな負荷を駆動するため、半導体チップ1のモジュールのうちでも、大電力を消費し、雑音を発生しやすい。このために、I/Oモジュール5aには専用の電源配線DVCC14aと接地配線DGND15aを形成して、電力が供給される。この構成によって、電源配線AVCC/DVCC間および接

地配線間AGND/DGND間の電位変動に基づくアナログモジュール/デジタルモジュール（あるいはI/Oモジュール）間の相互干渉を低減している。上記本発明の第4実施例の構成によれば、において、半導体チップ1のデジタルモジュールの下部の基板支持部2aと、I/Oモジュール5aの下部の基板支持部2eと、アナログモジュールの下部の基板支持部2dとは、メタライズ層によって、互いに電氣的に接続されていない。従って、図1に示した金属リードフレームを介してデジタルモジュール（あるいはI/Oモジュール）からアナログモジュールに雑音が入る経路7を遮断することができる。即ち、デジタルモジュールから発生する雑音は金属リードフレームを介する経路において、アナログモジュールへの伝達が遮断され、アナログモジュールはこの雑音の影響を受けない。また、アナログモジュールであるADCとDACの下部の基板支持部2eはそれぞれ独立に形成され、電氣的に接続されていないので、各基板支持部2eをリード部8dによって、低インピーダンスの実装基板の共通接地配線（実装基板GND）に接続することにより、アナログモジュールのADCとDACに対して、各領域の基板電位の安定化を独立に図ることができる。さらに、I/Oモジュール5aから発生する雑音は、基板支持部2eおよびリード8dを介して半導体装置100の外部の実装基板の共通接地配線に逃がすことが可能となる。この場合、I/Oモジュール5aから発生する雑音がデジタルモジュール5へ伝達する経路も遮断することができるため、デジタルモジュール5に含まれるROM/RAMなどの比較的精度の高い回路を雑音から守ることが可能となる。従って、アナログ/デジタル混載型半導体集積回路装置を含む半導体装置の電氣的特性を向上することができる。さらに、本発明の構成は、メタライズ層のパターンを一部変えることによって達成できるので、低コスト化に有利である。

【0012】次に、本発明の第5実施例である半導体装置を図13、図14を用いて説明する。半導体装置500は、QFN(Quad Flat Nonleaded Package、または、Leadless Chip Carrier)であり、メタライズ層2a、2c、8a、8b、8eを用いた積層セラミック型パッケージである。同図に示すように、半導体チップ1を搭載する基板支持部（ダイパッドまたはタブ）は、メタライズ層2a、2cから形成され、3つの独立した基板支持部から構成される。半導体装置500の半導体チップ1の具体的な構成は、図14に示すように、単結晶シリコンからなる半導体チップ1の主面上に、リード・オンリ・メモリ(Read Only Memory)ROM、ランダム・アクセス・メモリ(Random Access Memory)RAMを含むメモリモジュール5bとデジタルモジュールとが、それぞれ異なる領域に形成されている。デジタルモジュールには、セントラル・プロセッシング・ユニット(Central Processing Unit)CPU、および周辺モジュール、入出力部

モジュール（I/O）および論理回路等が含まれる。デジタルモジュール用の電源配線14、接地配線15と、メモリモジュール用の電源配線14b、接地配線15bがそれぞれ独立して形成されている。各モジュールの接地配線DGNDは低インピーダンスの実装基板の共通電源配線に接続する。これにより、電源配線DVCC間および接地配線間DGND間の電位変動に基づくメモリモジュール/デジタルモジュール間の相互干渉を低減している。上記本発明の第5実施例の構成によれば、半導体チップ1のメモリモジュール5bの下部の基板支持部2cは、デジタルモジュールの下部の基板支持部2aと、メタライズ層によって電氣的に接続されていない。従って、図1に示した金属リードフレームを介してデジタルモジュールからメモリモジュール5bに雑音が入る経路7を遮断することができる。即ち、デジタルモジュールから発生する雑音は金属リードフレームを介する経路において、メモリモジュールへの伝達が遮断され、メモリモジュールはこの雑音の影響を受けない。また、メモリモジュール5bの下部の基板支持部2cは独立に形成され、リード部8eによって、低インピーダンスの実装基板の共通接地配線（実装基板GND）に接続することにより、メモリモジュール5bの領域の基板電位の安定化を独立に図ることができる。さらに、デジタルモジュール5aから発生する雑音は、基板支持部2aおよびリード8bを介して半導体装置100の外部の実装基板の共通接地配線に逃がすことが可能となる。この場合、デジタルモジュールから発生する雑音がメモリモジュール5bへ伝達する経路も遮断することができる。従って、ROM/RAMなどの比較的精度の高い回路を雑音から守ることが可能となる。

【0013】従って、この第5実施例によればメモリ/デジタル混載型半導体集積回路装置を含む半導体装置の電氣的特性を向上することができる。さらに、本発明の第5実施例の構成は、メタライズ層のパターンを一部変えることによって実現できるので、低コスト化に有利である。

【0014】以上、本発明によってなされた発明を上記実施例によって具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。例えば、アナログモジュールとデジタルモジュールを同一の単結晶シリコンからなる半導体チップに混載した半導体チップ1の代わりに、複数の半導体チップを本発明の金属リードフレームに搭載してもよい。各半導体チップの基板電位を独立の基板支持部から供給することにより、安定化し、雑音の伝搬の防止、クロストークの防止を図ることができる。

【0015】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下

10

20

30

40

50

記の通りである。

【0016】アナログ／デジタル混載型の如き多機能混載型半導体集積回路装置を含む半導体装置の電気的信頼性を向上することができ、高性能な多機能混載型半導体集積回路装置を含む半導体装置の実現が可能となる。

【図面の簡単な説明】

【図1】本発明者が本発明をなす過程において検討したアナログ／デジタル混載型半導体集積回路装置を含む半導体装置のシミュレーション図。

【図2】本発明の第1実施例であるアナログ／デジタル混載型半導体集積回路を含む半導体装置の平面図。

【図3】本発明の第1実施例であるアナログ／デジタル混載型半導体集積回路を含む半導体装置の他の平面図。

【図4】図2、図3の破線A-Aに対応する半導体装置の断面図。

【図5】本発明の半導体装置に搭載される半導体チップの一例を示すアナログ／デジタル混載型半導体集積回路の平面レイアウト図。

【図6】本発明の第2実施例であるアナログ／デジタル混載型半導体集積回路を含む半導体装置の平面図。

【図7】図6の破線B-Bに対応する半導体装置の断面図。

【図8】図6の破線B-Bに対応する半導体装置の他の断面図。

【図9】本発明の第3実施例であるアナログ／デジタル混載型半導体集積回路を含む半導体装置の平面図。

【図10】図9の半導体装置に搭載される半導体チップの一例を示すアナログ／デジタル混載型半導体集積回路の平面レイアウト図。

10

20

\*

\*【図11】本発明の第4実施例であるアナログ／デジタル混載型半導体集積回路を含む半導体装置の平面図。

【図12】図11の半導体装置に搭載される半導体チップの一例を示すアナログ／デジタル混載型半導体集積回路の平面レイアウト図。

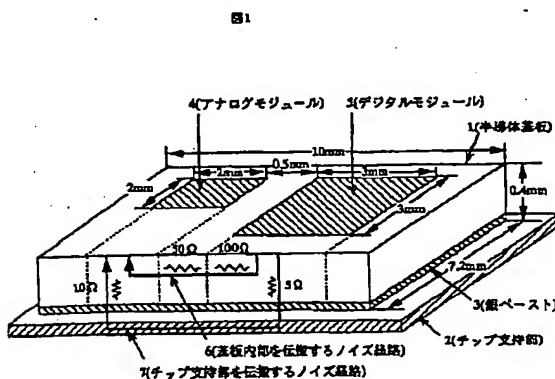
【図13】本発明の第5実施例である半導体集積回路を含む半導体装置の平面図。

【図14】図13の半導体装置に搭載される半導体チップの一例を示す半導体集積回路の平面レイアウト図。

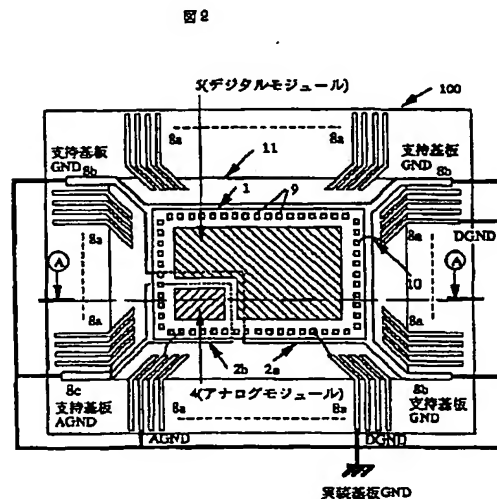
【符号の説明】

1…半導体チップ、2、2a、2b…チップ支持部、3…導電性接着剤、4…アナログモジュール、5…デジタルモジュール、5a…I/Oモジュール、5b…メモリモジュール、6…基板内を伝搬するノイズ経路、7…チップ支持部を伝搬するノイズ経路、8a、8b、8c、8d、8e…リード、9…ボンディングパッド、10…金属ワイヤ、11…モールド樹脂、12…アナログモジュール用電源配線、13…アナログモジュール用接地配線、14…デジタルモジュール用電源配線、15…デジタルモジュール用接地配線、14a…I/Oモジュール用電源配線、15a…I/Oモジュール用接地配線、14b…メモリモジュール用電源配線、15b…メモリモジュール用接地配線、16…アナログモジュール／デジタルモジュール間分離領域、22…絶縁フィルム、24…基板支持部の目空きパターン、100…第1実施例の半導体装置、200…第2実施例の半導体装置、300…第3実施例の半導体装置、400…第4実施例の半導体装置、500…第5実施例の半導体装置。

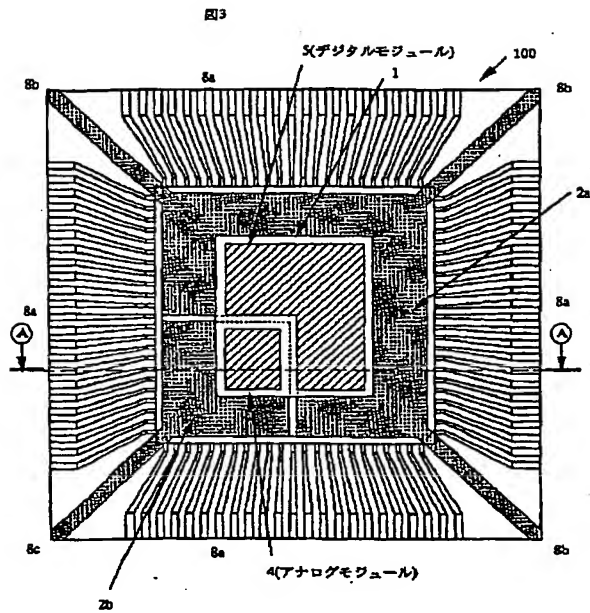
【図1】



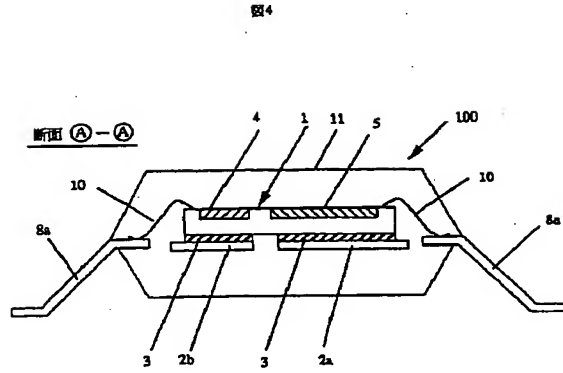
【図2】



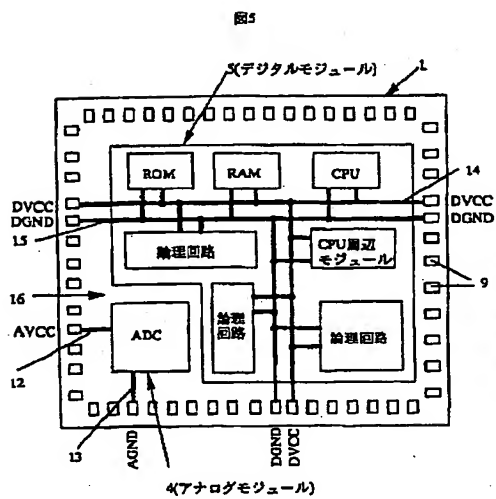
【図3】



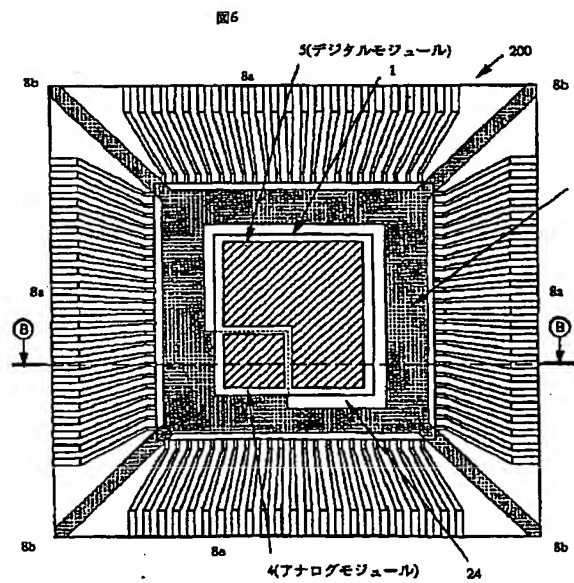
【図4】



【図5】

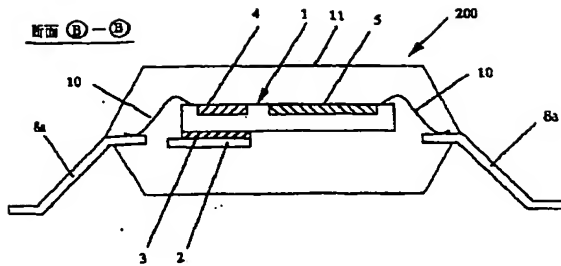


【図6】



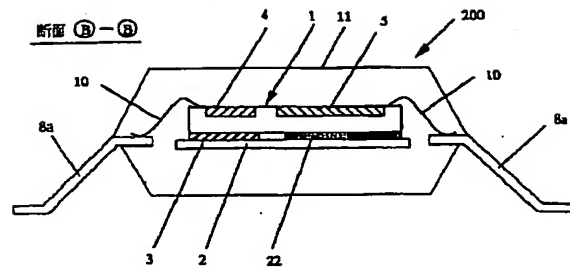
【図7】

図7



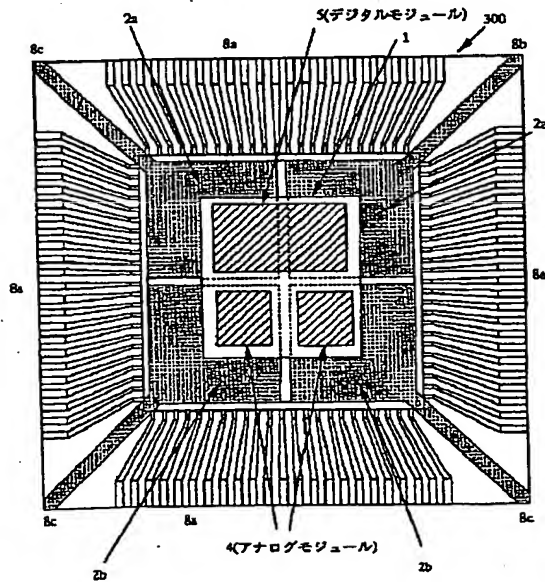
【図8】

図8



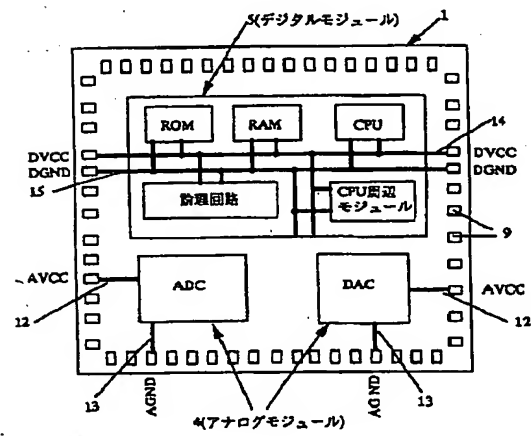
【図9】

図9



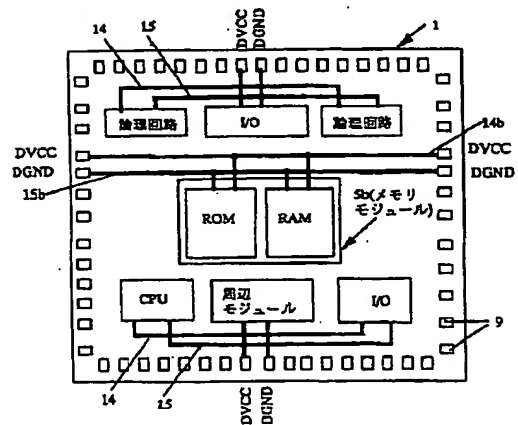
【図10】

図10

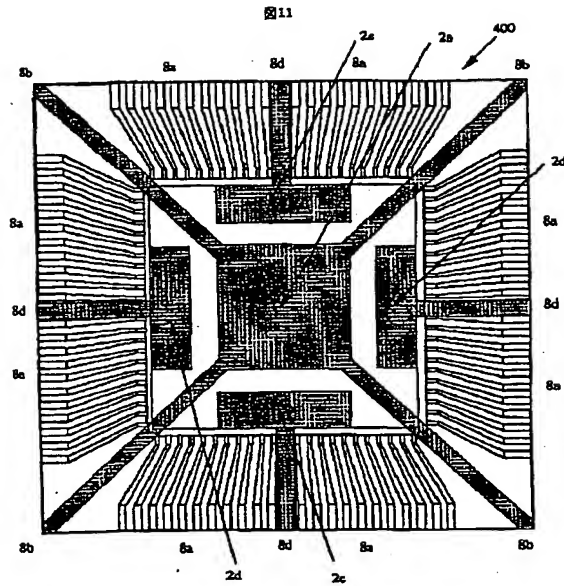


【図14】

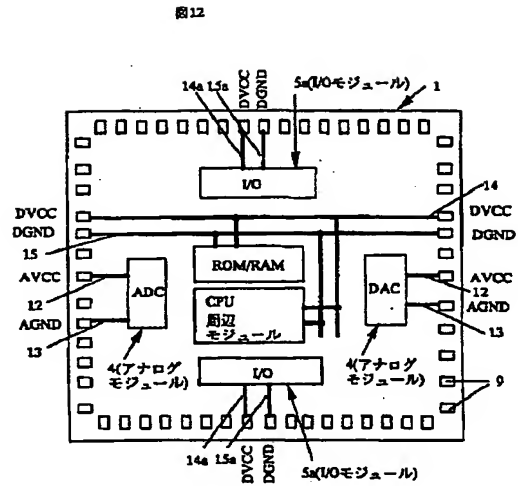
図14



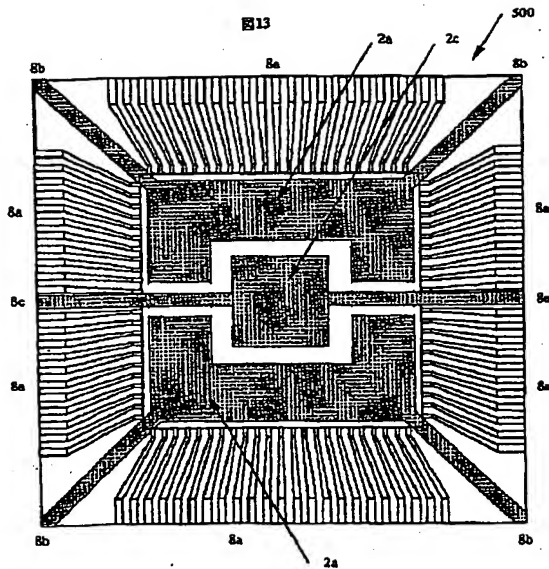
【図11】



【図12】



【図13】



フロントページの続き

(72)発明者 麻殖生 健二  
 東京都小平市上水本町5丁目20番1号 株  
 式会社日立製作所半導体事業部内

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成14年3月15日(2002.3.15)

【公開番号】特開平9-223705  
 【公開日】平成9年8月26日(1997.8.26)  
 【年通号数】公開特許公報9-2238  
 【出願番号】特願平8-27573  
 【国際特許分類第7版】  
 H01L 21/52  
 (F1)  
 H01L 21/52 A

【手続補正書】  
 【提出日】平成13年10月3日(2001.10.3)

【手続補正1】  
 【補正対象書類名】明細書  
 【補正対象項目名】特許請求の範囲  
 【補正方法】変更  
 【補正内容】  
 【特許請求の範囲】

【請求項1】導電層からなる半導体基板支持部と、  
 上記半導体基板支持部上に搭載された半導体基板とを具備してなり、  
 上記半導体基板の主面の第1領域には第1回路が形成され、

上記第1領域と異なる上記半導体基板の主面の第2領域には第2回路が形成され、  
 上記半導体基板支持部と上記半導体基板とは上記第2領域の下部において電気的に接続され、上記第1領域の下部において上記半導体基板支持部と上記半導体基板とは電気的に接続されていないことを特徴とする半導体装置。

【請求項2】上記第1領域の下部において、上記半導体基板支持部と上記半導体基板との間に、絶縁層が形成されていることを特徴とする請求項1に記載の半導体装置。

【請求項3】上記第1領域の下部において、上記半導体基板支持部と上記半導体基板とは、互いに離隔されていることを特徴とする請求項1または請求項2に記載の半導体装置。

【請求項4】導電層からなる半導体基板支持部と、  
 上記半導体基板支持部上に搭載された半導体基板とを具備してなり、  
 上記半導体基板の主面の第1領域には第1回路が形成され、  
 上記第1領域と異なる上記半導体基板の主面の第2領域には第2回路が形成され、

上記半導体基板支持部は、前記第1領域の下部と接続された第1半導体基板支持部と前記第2領域の下部と接続された第2半導体基板支持部とに分割され、前記第1半導体基板支持部は、前記第2半導体支持部とは分離されていることを特徴とする半導体装置。

【請求項5】上記半導体基板支持部に接地電位が供給されることを特徴とする請求項1から請求項4のいずれかに記載の半導体装置。

【請求項6】上記半導体基板は単結晶シリコン基板からなり、上記導電層からなる半導体基板支持部のシート抵抗は上記単結晶シリコン基板のシート抵抗より低いことを特徴とする請求項1から請求項5のいずれかに記載の半導体装置。

【請求項7】上記半導体基板支持部と上記半導体基板とは導電性接着剤により接着されていることを特徴とする請求項1から請求項6のいずれかに記載の半導体装置。

【請求項8】上記第1回路はデジタルモジュールであり、前記第2回路はアナログモジュールであることを特徴とする請求項1から請求項7のいずれかに記載の半導体装置。

【請求項9】上記第1回路は入出力部モジュールであり、前記第2回路はアナログモジュールであることを特徴とする請求項1から請求項7のいずれかに記載の半導体装置。

【請求項10】上記第1回路は入出力部モジュールであり、前記第2回路はデジタルモジュールであることを特徴とする請求項1から請求項7のいずれかに記載の半導体装置。

【請求項11】上記第1回路はデジタルモジュールであり、前記第2回路はメモリモジュールであることを特徴とする請求項1から請求項7のいずれかに記載の半導体装置。

【請求項12】上記半導体基板支持部はダイパッドであることを特徴とする請求項1から請求項11のいずれかに記載の半導体装置。

**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**